

03379973 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 03-042873 [JP 3042873 A]
PUBLISHED: February 25, 1991 (19910225)
INVENTOR(s): MARUO YUTAKA
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
 , JP (Japan)
APPL. NO.: 01-178509 [JP 89178509]
FILED: July 11, 1989 (19890711)
INTL CLASS: [5] H01L-029/784
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 1064, Vol. 15, No. 179, Pg. 124, May
 08, 1991 (19910508)

ABSTRACT

PURPOSE: To reduce the areas of source/drain regions and to highly integrate a semiconductor device by forming a second groove in the bottom of a first groove formed on a substrate, forming source/drain on the side faces of both the grooves, and forming a gate electrode on the bottom of the first groove through a PSG film.

CONSTITUTION: A silicon substrate 101 is etched to form first and second grooves, a silicon oxide film 108 is formed by thermally oxidizing, and a threshold voltage is regulated by B ion implanting. Then, after a polycrystalline silicon film is deposited, As ions are implanted. Thereafter, after a ramp annealing is conducted in a nitrogen atmosphere, the polycrystalline silicon is dry etched except a gate electrode 104. Then, As ions are implanted under predetermined conditions, and source/drain 102, 103 are formed. Subsequently, after a PSG film is formed as an interlayer insulating film 106, it is isotropically etched, and the side faces of the first groove are opened. After aluminum is sputtered, aluminum wirings 105 are patterned, a passivation 107 of a silicon oxide film is eventually deposited to obtain a MOSFET structure.

⑫ 公開特許公報(A) 平3-42873

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月25日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 V

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平1-178509

⑯ 出 願 平1(1989)7月11日

⑰ 発 明 者 丸 尾 豊 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板上に形成された第1の溝の底面に、更に、第2の溝を形成し、前記第1の溝の側面と前記第2の溝の側面にドレインまたはソースを形成し、前記第1の溝の側面と前記第2の溝の側面との間の前記第1の溝の底面上にゲート絶縁膜を介してゲート電極を形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に電界効果型トランジスタ構造に関する。

〔従来の技術〕

従来の溝掘りを利用した電界効果型トランジスタ

タ(以降、MOSFETと称す)構造は、第2図に示すように、半導体基板上に溝を掘り、半導体基板(以降、ウェハーと称す)平面に対して垂直な面にゲート電極を形成し、ウェハーに平行な面にソース/ドレインを形成していた。

〔発明が解決しようとする課題〕

しかし、前述の従来技術では、ゲート電極は、ウェハー平面に対して垂直な面に形成され、MOSFETの面積を小さくできるものの、ソース/ドレイン領域は、ウェハー平面と平行な面に形成されていたため、集積化に対して、大きな効果を上げることができなかった。

そこで、本発明は、このような課題を解決するもので、その目的とするところは、ソース/ドレイン領域の面積を低減することによって、集積化を可能としたMOS・FETの構造を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板上に形成された第1の溝の底面に、更に第2の溝を形成し、

前記第1の溝の側面と前記第2の溝の側面にドレインまたはソースを形成し、前記第1の溝の側面と前記第2の溝の側面との間の前記第1の溝の底面上にゲート絶縁膜を介してゲート電極を形成したことを特徴とする。

〔作用〕

本発明の上記の構造によれば、ソース／ドレイン領域は、ウェハー平面に対して垂直な面に形成されるためウェハー平面上において占める面積は非常に小さい。一般的にゲート電極の占める面積より、ソース／ドレイン領域の占める面積の方が大きいため、ゲート電極の面積を縮小するより、ソース／ドレイン領域の面積を縮小する方が、より面積の縮小化が図れる。

〔実施例〕

第1図は、本発明の一実施例における断面図であり、以下に製造方法について順次説明していく。

まず、ウェハー表面を写真食刻法により、第1の溝を形成する領域を開口する。

ランプアニールを行なう。

そして、写真食刻法により、ゲート電極104以外の多結晶性シリコンをCF₄によりドライエッチングし、第3図(c)の構造を得る。

次に、As(ヒ素)イオンをエネルギー100 keV、ドーズ量 $8 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行ない、第3図(d)の構造となる。

次いで、第3図(e)に示すようにCVD法により、層間絶縁膜306としてPSG膜を形成した後、フッ酸で等方エッチングを行ない、ソース／ドレインである第1の溝の側面を開口する。そして、Al(アルミニウム)をスパッタしたのち、写真食刻法によるアルミ配線105のパターニングを行ない、第3図(f)の構造を得る。

最後に、シリコン酸化膜のパッシベーション107を堆積し、第1図のMOSFET構造を得る。

このように、構成されたMOSFETは、ソース／ドレイン領域をウェハー平面に対して垂直な面に形成されるため、一つのMOSFETの面積

次に、エッチングガスとしてCF₄(四フッ化炭素)を用い、圧力250 mtorr下において、250Wのパワーの条件でシリコン基板をエッチングし、第3図(2)の構造を得る。

そして、再度、写真食刻法により、第2の溝を形成する領域を開口する。次に、第1の溝を形成する時と同様に、エッチングガスCF₄を用い、圧力250 mtorr下において、250Wのパワーで、シリコン基板をエッチングし、第2の溝を形成し、第3図(b)に示す構造を得る。

それから、1100℃の酸素雰囲気中で、約10分間の熱酸化を行ない約300 Åのシリコン酸化膜108を形成した後、トランジスタのしきい値電圧の調整のために、B(ボロン)をイオン注入する。

次いでCVD法により、全面に約4000 Åの多結晶性シリコン膜を堆積させた後、As(ヒ素)イオンをエネルギー60 keV、ドーズ量 $8 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行なう。それから、窒素雰囲気中で、1040℃15秒の

を考えた場合、小面積で形成できる。

〔発明の効果〕

以上、述べたように本発明によれば、従来のMOSFET構造より、小面積で形成可能なため、高集積化が可能となる。

4. 図面の簡単な説明

第1図は、本発明のMOSFET構造の断面図。

第2図は、従来の溝掘り技術を用いたMOSFET構造の断面図。

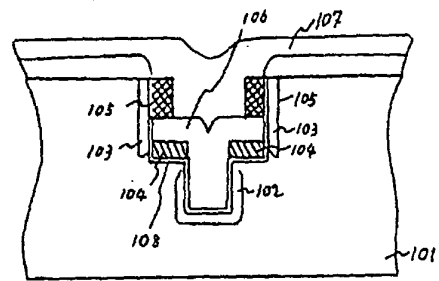
第3図は、本発明のMOSFETの製造方法の一例を製造順に沿った断面図。

101、201、301・・・シリコン基板
102、103、202、203、302、
303・・・・・・・・ソース／ドレイン
104、204、304・・・ゲート電極
105、205、305・・・アルミ配線

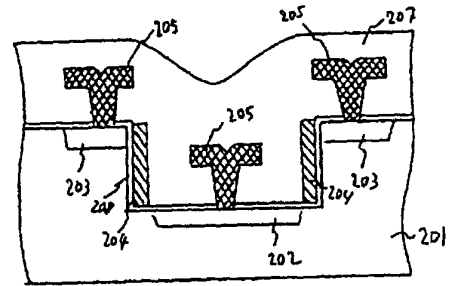
- 106、306・・・層間絶縁膜
 107、207、307・・・パッシベーション膜
 ン膜
 108、208、308・・・ゲート絶縁膜

以上

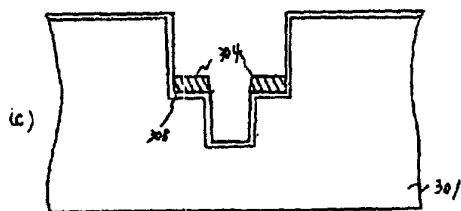
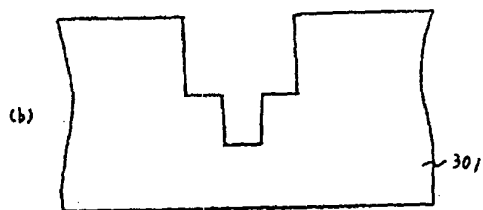
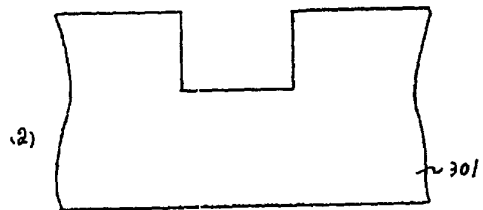
出願人 セイコーエプソン株式会社
 代理人 弁理士 鈴木 喜三郎 (他1名)



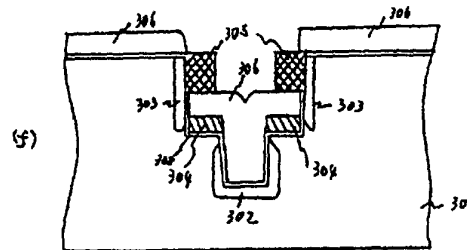
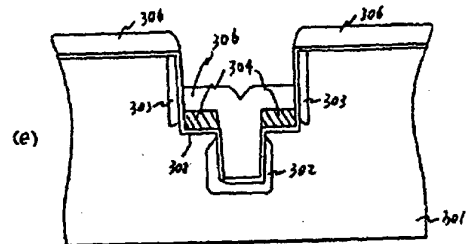
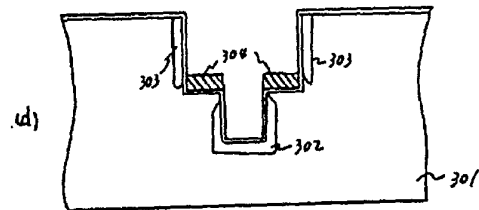
第 1 図



第 2 図



第 3 図



第 3 図